

HP SẼ "PHÁ VỠ" ĐỊNH LUẬT MOORE?

Các nh

Các nhà nghiên cứu thuộc phòng thí nghiệm HP Labs dự kiến trong tháng này sẽ công bố một báo cáo chuyên ngành đề cập tới cách thức tăng hiệu suất của một số bộ xử lý, và giảm mức tiêu thụ năng lượng bằng cách thay thế đường giao tiếp bên trong con chip bằng các mạng nano siêu nhỏ.

Như mô tả trong Định luật Moore, cứ mỗi hai năm, các nhà sản xuất chip có thể đồng thời tăng hiệu suất xử lý và giảm giá thành bộ xử lý bằng cách giảm kích thước các transistor và đường liên kết (đường kết nối bằng kim loại để kết nối các transistor).

Tuy nhiên, việc giảm kích thước các thành phần này đã ngày càng trở nên phức tạp và tốn kém. Để làm được điều đó, các nhà thiết kế buộc phải đánh đổi giữa hiệu suất, tính hiệu quả về năng lượng và giá thành sản phẩm.

Trong khi đó, theo như lời giám đốc cao cấp bộ phận nghiên cứu khoa học lượng tử thuộc HP Labs, Stan Williams, việc thay thế kiểu kết nối truyền thống bằng kiến trúc đan xen sẽ thay đổi đáng kể công thức do Moore đề ra.

Cũng theo ông này, khi gỡ bỏ các liên kết nối truyền thống thì kích thước vốn có của những con chip sẽ giảm đi đáng kể. Hiệu suất sẽ tăng, nhưng có thể chip sẽ vẫn phải dựa vào những transistor truyền thống. Giá cả chắc chắn sẽ giảm bởi công nghệ mới không cần người ta phải đầu tư hàng triệu USD cho các thiết bị sản xuất bán vi mạch mới. Ngoài ra, chắc chắn mức tiêu thụ năng lượng của chip sẽ giảm theo.

Kết nối đan xen

Phương thức này là một trong những ý tưởng đã xuất hiện và được nghiên cứu trong HP Labs từ nhiều năm qua. Hãng này cũng đã trình diễn cách thức sử dụng cấu trúc này để nâng cấp các chip nhớ, giảm sai sót chế tạo, và giúp các mạch có khả năng tính toán nhanh hơn.

Mặc dù từ lâu HP không còn chú tâm nhiều tới lĩnh vực kinh doanh chip, nhưng hãng này lại tập trung nhiều nguồn lực để kinh doanh từ việc cấp phép công nghệ. Nếu khái niệm kết nối đan xen trong chip trở thành hiện thực, HP có thể kiếm lời hàng trăm triệu USD từ phí bản quyền.

Hiện tại, HP Labs mới chỉ giả lập được một "mạng anten có khả năng lập trình trường" (FPGA) rất nhỏ với mạng kết nối đan xen, và hy vọng mẫu thiết bị chuẩn sẽ hoàn tất vào cuối năm nay. Stan Williams tiên đoán, tới năm 2010, các nhà sản xuất có thể tích hợp hệ thống giao tiếp đan xen cho các con chip thương mại.

Williams cho biết HP Labs đang nghiên cứu khái niệm mới với FPGA, theo đó một con chip có thể được lập trình để thực hiện nhiều chức năng. Trong một thiết bị FPGA, các khối chức năng khác nhau được kết nối trực tiếp với nhau thông qua các đường liên kết. Vì vậy, khi tăng các khối chức năng trong FPGA sẽ làm tăng số đường dữ liệu chuyển qua.

Vấn đề về kích thước

Theo đánh giá, những lợi ích từ cấu trúc mới sẽ rất lớn. Với một mạng giao tiếp động, các khối chức năng nhất định hoặc vùng transistor có thể đi vào trạng thái "ngủ đông" khi không được sử dụng, và do vậy sẽ giúp giảm năng lượng sử dụng.

HP ước tính một FPGA làm bằng các transistor 45nm ($1\text{ nm} = 1/1000\text{ m}$) và mạng dây nano 45nm sẽ chỉ nhỏ bằng 4% so với một FPGA chuẩn được chế tạo trên quy trình 45nm.

Bản thân cấu trúc đan xen có thể cấu tạo bằng mạch nhôm hoặc đồng, có kích thước nhỏ hơn các đường liên kết nối ngày nay. Vấn đề giảm thiểu kích cỡ cũng sẽ được giải quyết bằng việc áp dụng quy trình mới gọi là thuật in khắc.